

Úvod do VHDL a FPGA

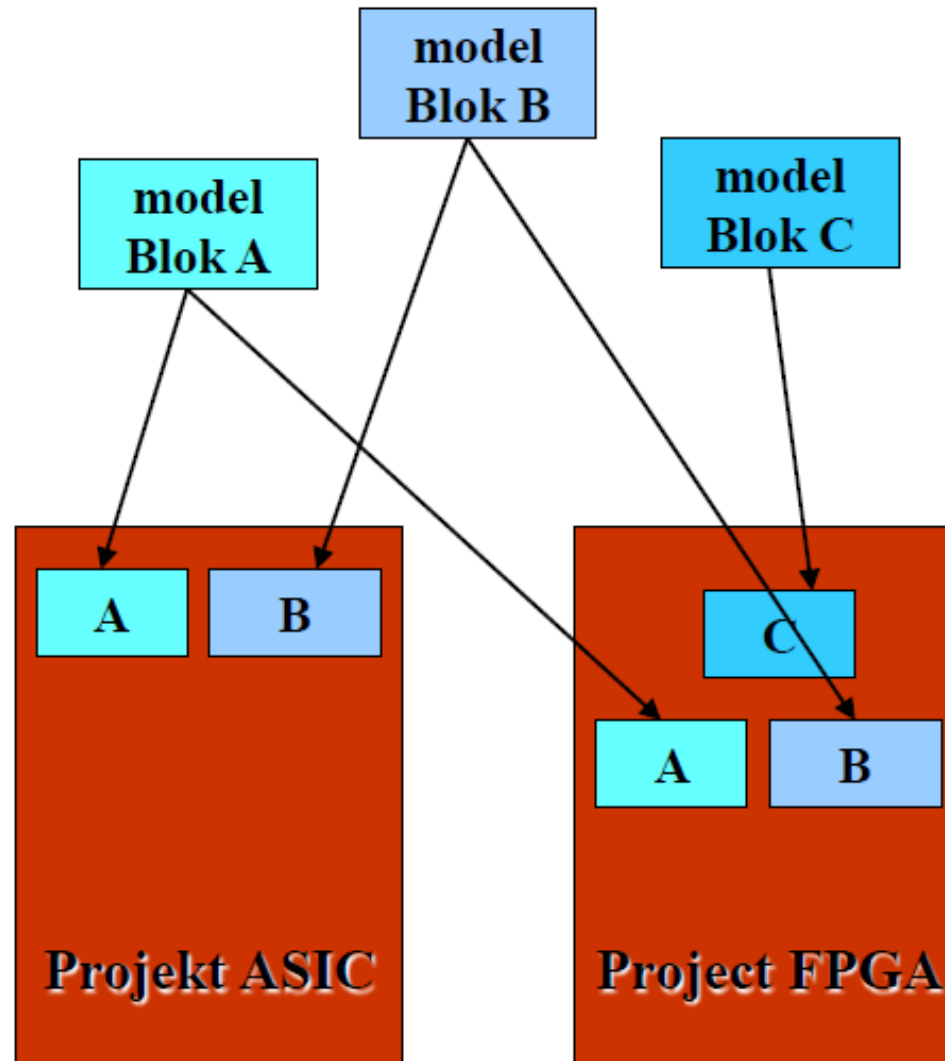
ÚAMT FEI STU Bratislava

VHDL

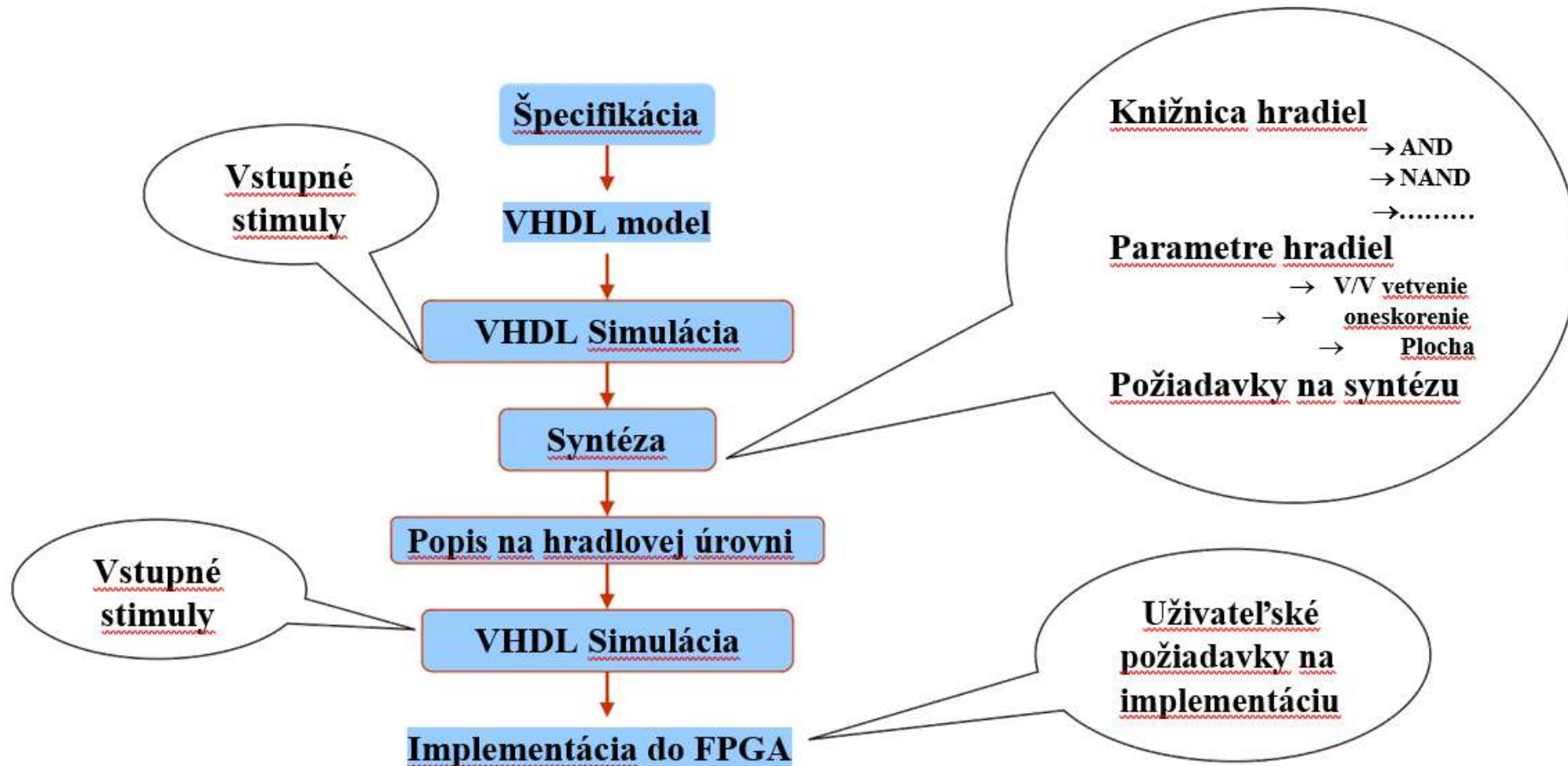
- ▶ VHDL - **V**ery High Speed **H**ardware **D**escription **L**anguage
- ▶ HDL - Hardware Description Language
 - ▶ Vývoj bol inicializovaný Americkým ministerstvom obrany.
 - ▶ Cieľom bolo vyvinutie jazyka, ktorý opisuje správanie súčiastok.
- ▶ Medzinárodné štandardy:
 - ▶ IEEE Std 1076-1987
 - ▶ IEEE Std 1076-1993

VHDL - Výhody

- ▶ Automatizovaný návrh
- ▶ Opätovné použitie opísaných častí systému
- ▶ Technologická nezávislosť



VHDL - Zásady návrhu



VHDL - Zásady návrhu

- ▶ Špecifikácia - úplné požiadavky na funkcionálnosť systému
- ▶ HDL opis - návrh architektúry a rozdelenie na funkčné bloky
- ▶ Syntéza - transformácia HDL opisu do navzájom prepojených logických prvkov
- ▶ Implementácia - rozmiestnenie a prepojenie logických prvkov do cieľového obvodu); vykonanie časovej analýzy
- ▶ Konfigurácia - po vygenerovaní bin. súboru je nahraná do FPGA

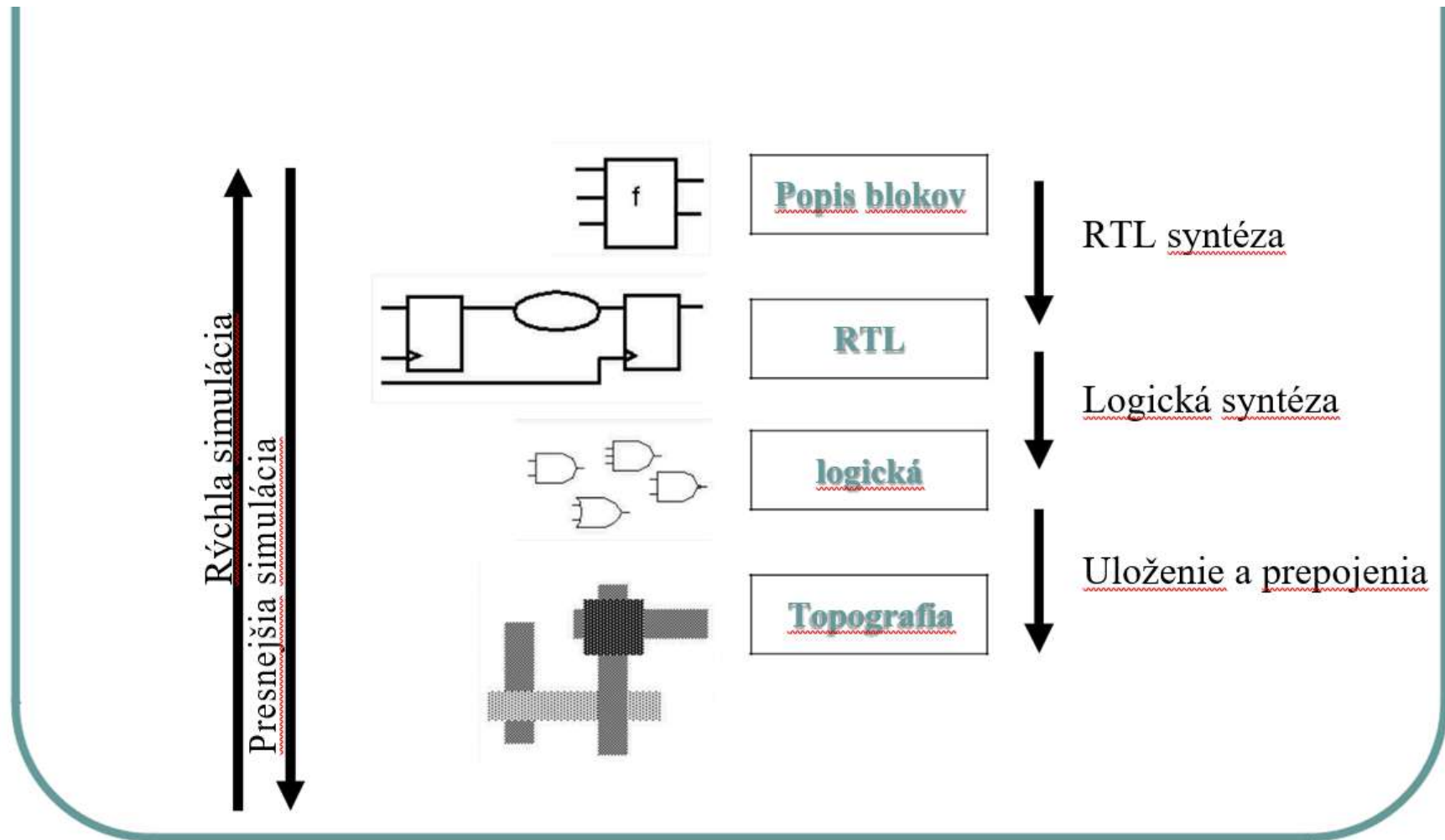
VHDL - *Metódy modelovania*

- ▶ Behaviorálna
 - ▶ Opisuje logickú funkciu obvodu
- ▶ Data Flow
 - ▶ Opisuje ako sa šíria signály obvodom
- ▶ Štruktúálna
 - ▶ Prirad'uje logickú funkciu vstupov pre každý výstup

VHDL - Simulácia

- ▶ Funkčná simulácia
 - ▶ Overenie logickej funkcie obvodu pred syntézou
 - ▶ Najmenej presná
- ▶ Funkčná simulácia po syntéze
 - ▶ Presnejšia, zahŕňa aj oneskorenie hradiel
- ▶ Časová simulácia
 - ▶ Najpresnejšia
 - ▶ Oneskorenie prepojení
 - ▶ Súčiastky musia byť porozmiestňované a prepojené

VHDL - Úrovne Abstrakcie



VHDL - Koncept

- ▶ Spracovávanie priradení
 - ▶ Sekvenčné výrazy (priradenie) sú spracovávané jeden za druhým, tak ako v klasických programovacích jazykoch (C, Pascal, ...). Preto nasledujúci výraz anuluje (zruší, nahradí) predchádzajúci výraz. Poradie v akom sú zapísané tieto výrazy má svoj význam a musíme ho brať do úvahy.
 - ▶ Paralelné výrazy (priradenia) sú vykonávané súčasne, preto poradie v akom sú zapísané tieto výrazy je nepodstatné. Paralelné výrazy sú vhodné na modelovanie hardveru, ktorý je prirodzene paralelný.

VHDL - Techniky Modelovanie

- ▶ Rôzne úrovne abstrakcie: dovoľuje modelovať rozličné časti navrhovaného systému s rôznym stupňom detailného popisu. Časti ktoré sú určené iba pre simuláciu nepotrebujú byť popísané veľmi detailne a naopak časti ktoré sú určené pre syntézu môžu byť popísané detailnejšie.
- ▶ Modulárnosť umožňuje návrhárovi rozložiť zložitejšie veľké funkčné bloky na menšie a popísať každý blok zvlášť.
- ▶ Hierarchický návrh umožňuje návrhárovi navrhnúť obvod s už navrhnutých podobvodov a pritom každý podobvod môže obsahovať ďalšie podobvody.

VHDL syntax

- ▶ Nerozlišuje sa medzi malými a veľkými písmenami
- ▶ Komentár: '--' až po koniec riadku
- ▶ Výrazy:
 - ▶ Ukončujú sa ';'
 - ▶ Môžu byť rozložené na viacerých riadkoch
- ▶ Oddelenie zoznamov : ','
- ▶ Priradenie do signálu : '<='
- ▶ Priradenie do premennej : ':='
- ▶ Uživateľom definované mená, identifikátory
 - ▶ písmená, číslice, _
 - ▶ Vždy sa musí začínať písmenom

VHDL - Hlavné Objekty

- ▶ Entity (Entita) : Popis rozhrania navrhovaného bloku
- ▶ Architecture (Architektúra) : Štrukturálny popis : vnútorné zapojenie obvodu
- ▶ Funkčný popis : pomocou výrazov definované vzťahy medzi vstupmi a výstupmi
- ▶ Process (Proces) : Výrazy vo VHDL sú vo všeobecnosti vykonávané paralelne. Ak chceme aby nejaká skupina výrazov bola vykonávaná sekvenčne tak ju „vložíme“ do procesu. Kód obsiahnutý v procese nie je vždy vyhodnocovaný ale čaká na konkrétne podmienky aktivácie.
- ▶ Library (Knižnica) : Je adresár v ktorom sú uložené skompilované časti VHDL kódu.

VHDL - Operátory

Logické

and

or

nand

nor

xor

xnor

not

Aritmetické

addition

subtraction

multiplication

division

modulus

remainder

exponentiation

absolute value

Relačné

=

/=

<

<=

>

>=

Posuvné

sll

srl

sla

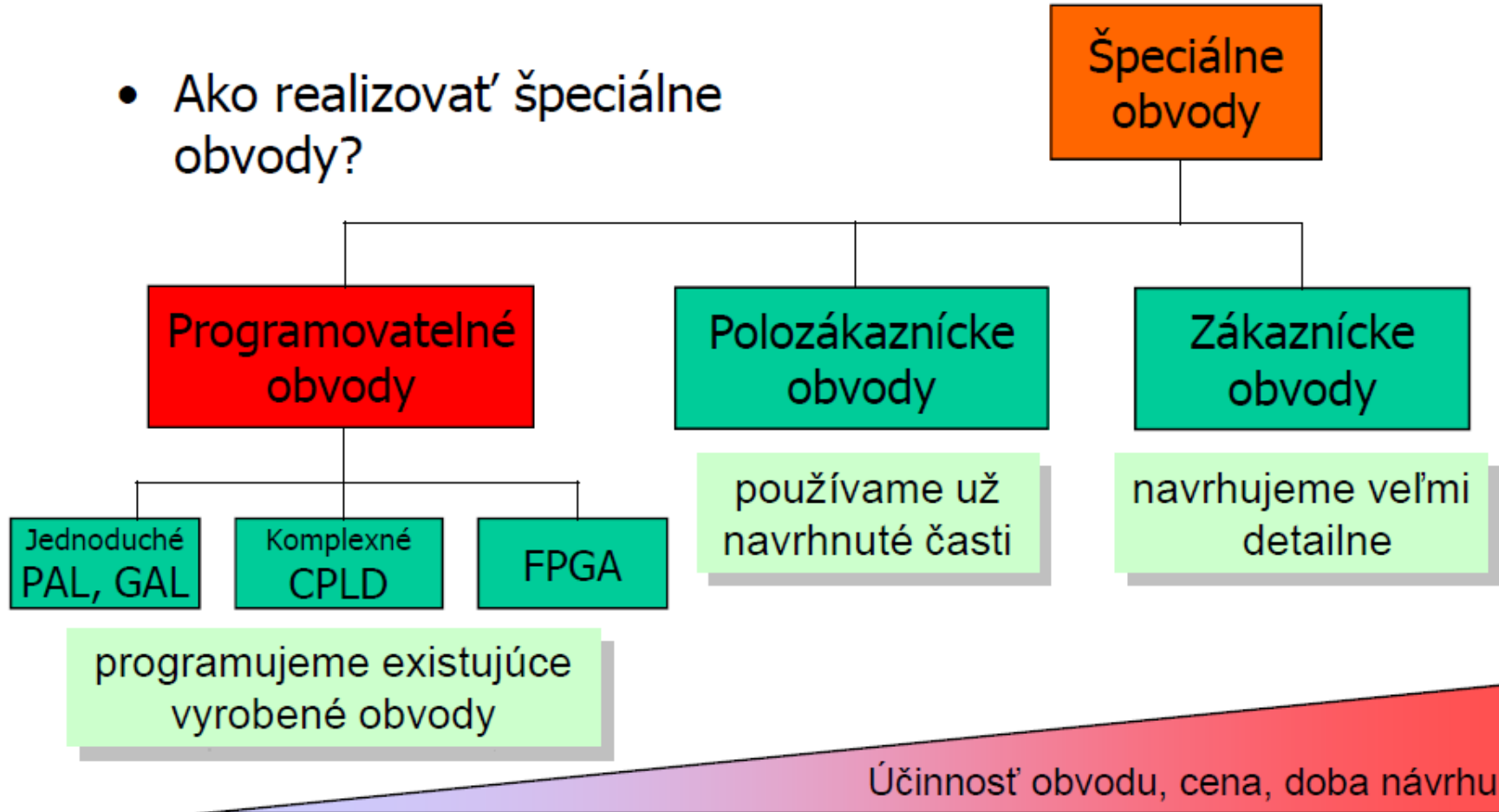
sra

rol

ror

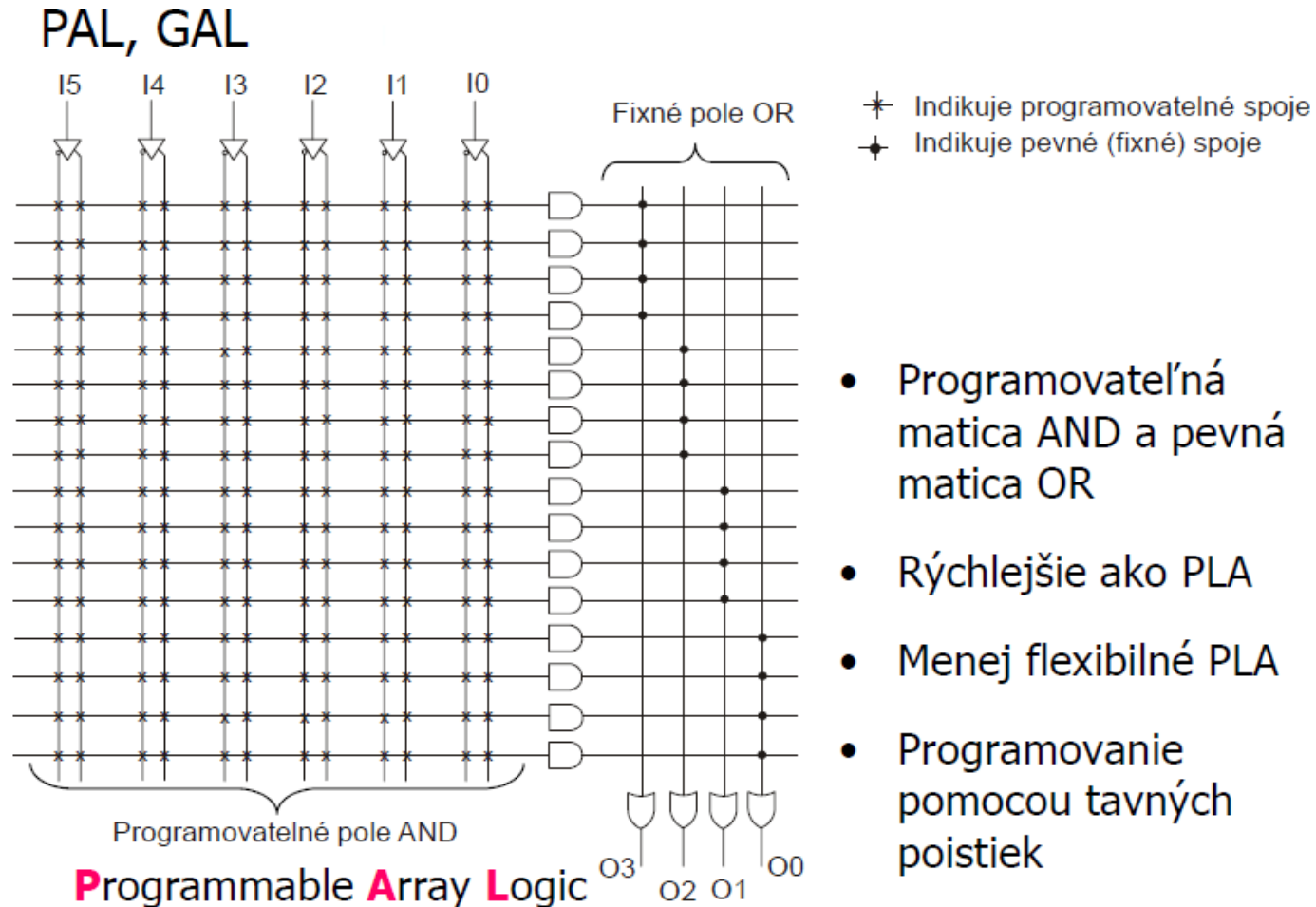
Špeciálne Obvody

- Ako realizovať špeciálne obvody?

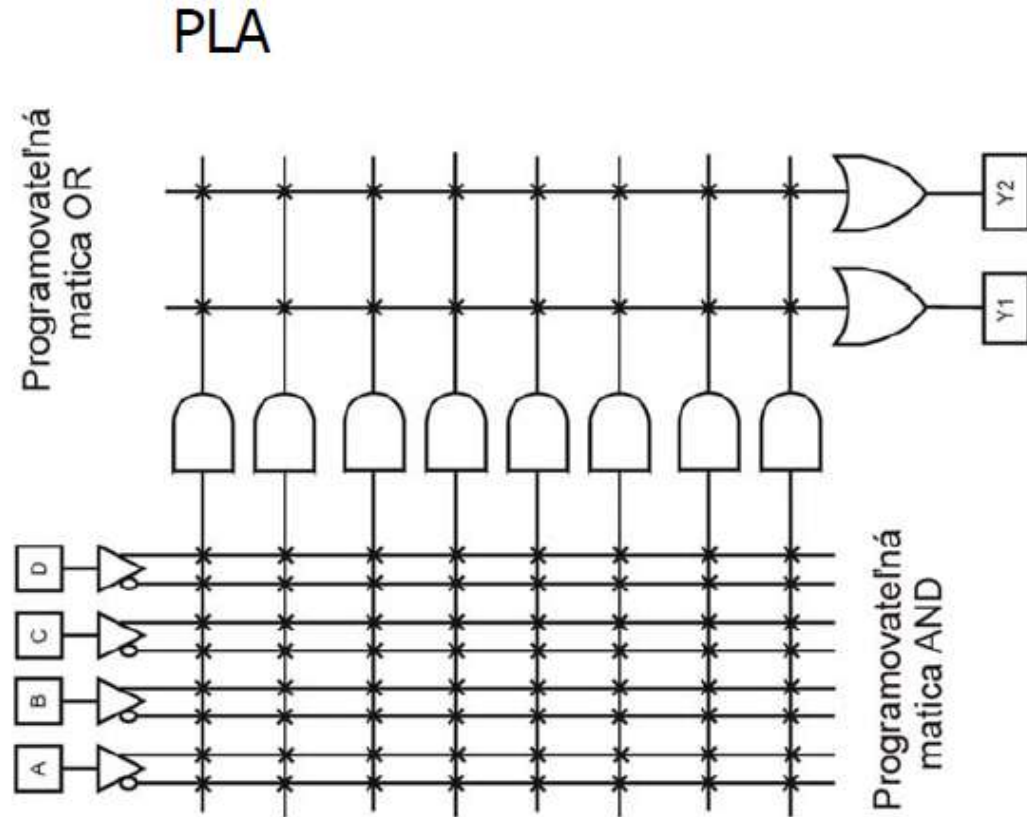


PAL, GAL

Architektúra SPLD – PAL, GAL



PLA



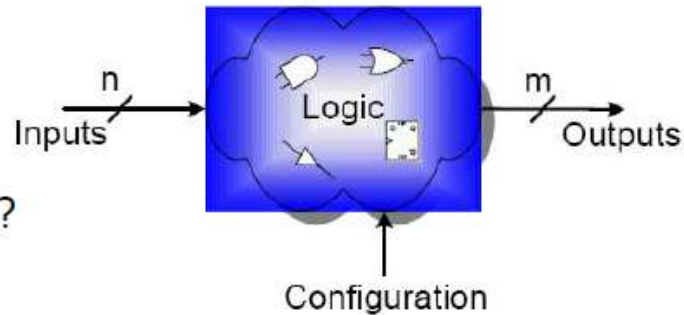
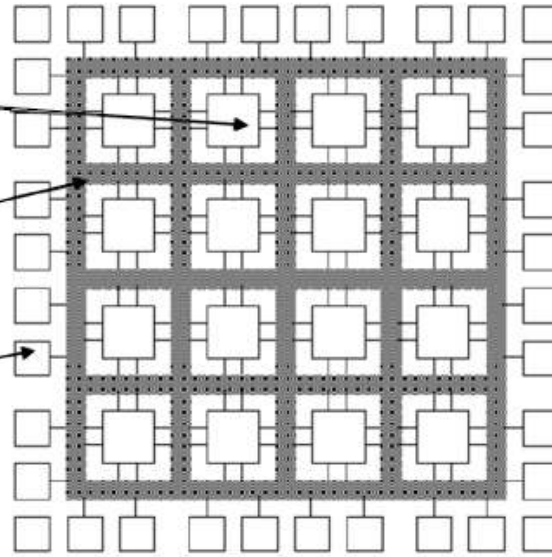
Programmable Logic Array

- Dve programovateľné matice
- Ľubovoľná kombinácia AND/Or
- Flexibilnejšie ako PAL
- Pomalšie ako PAL

PLD

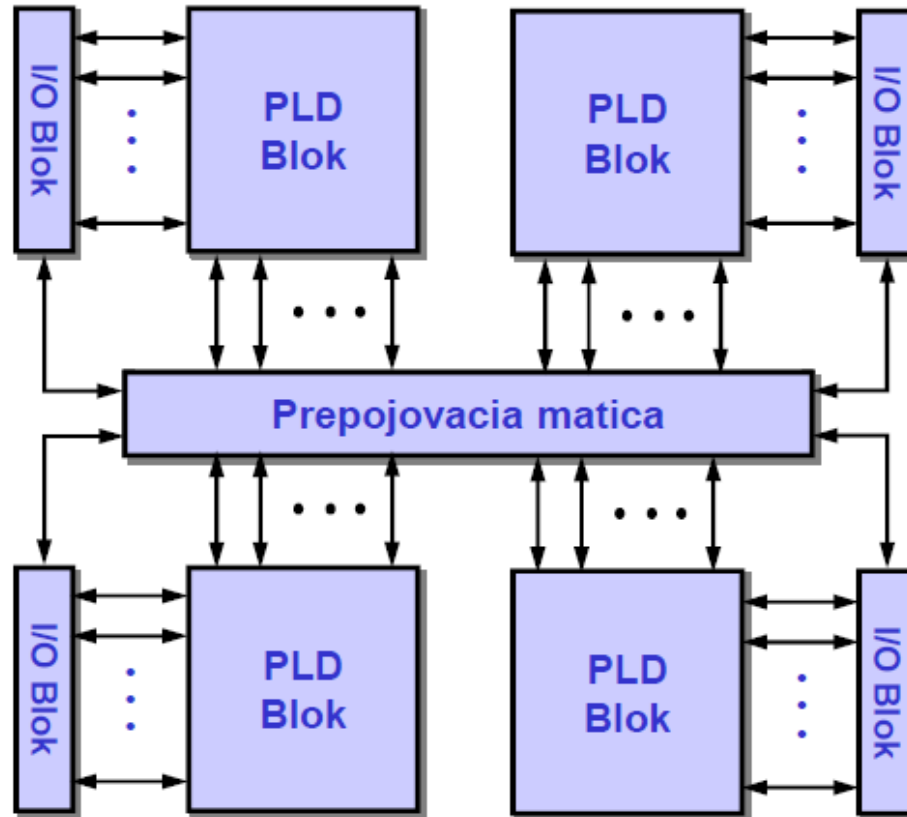
Programovateľné logické obvody (PLD)

- Logické bloky
 - na implementáciu kombinačných a sekvenčných obvodov
- Prepojenia
 - spoje prepájajú vstupy a výstupy logických blokov
- I/O bloky (vstupno – výstupné bloky)
- Otázky
 - Ako spraviť logické bloky programovateľné? (po tom čo je čip vyrobený)
 - Aká má byť logická granularita? (diskrétnosť)
 - Ako spraviť spoje programovateľné?
 - Koľko spojov na jeden blok?



CPLD

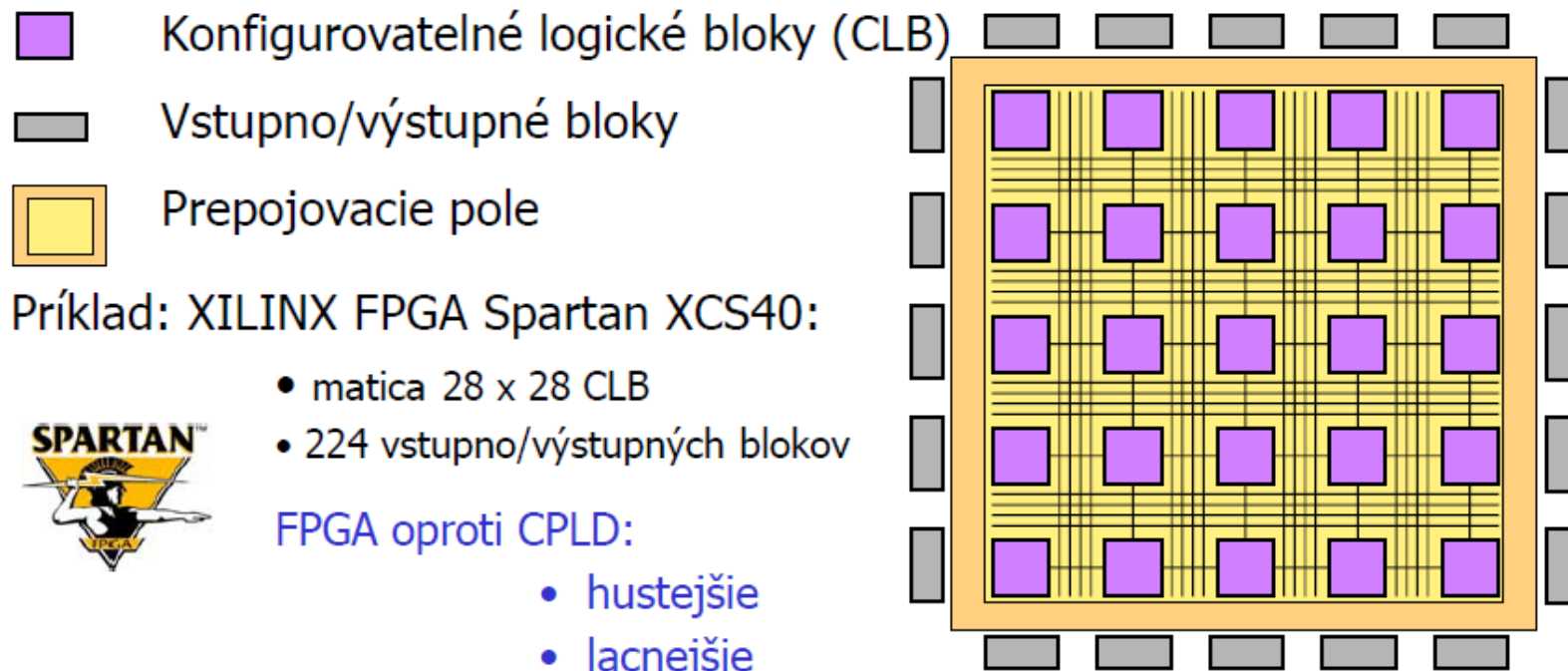
- CPLD - Integrácia niekoľkých PLD blokov s programovateľnými prepojmami na jednom čipe



Architektúra FPGA

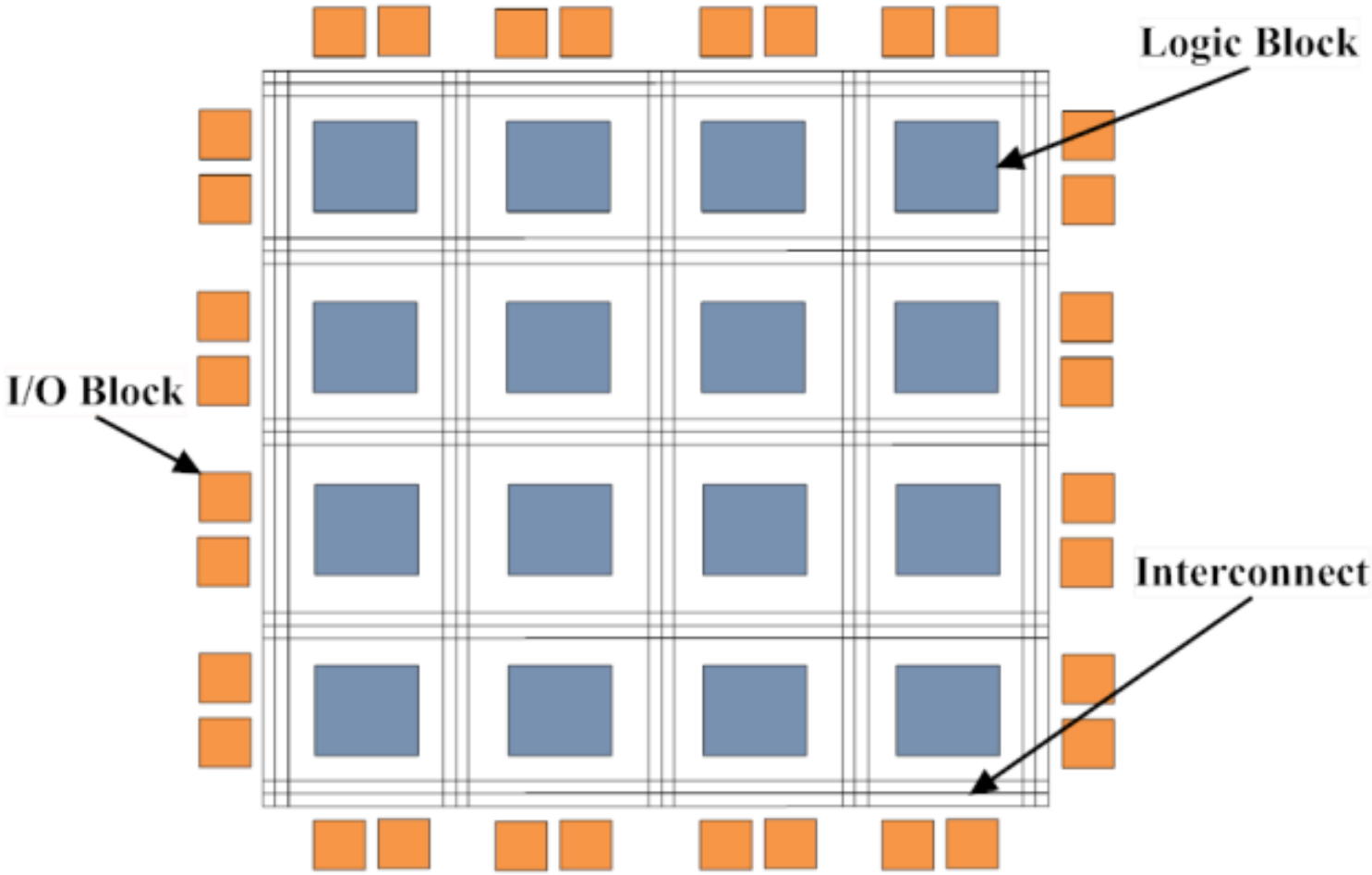
Field Programmable Gate Array

Požiadavka na väčšiu komplexnosť viedla k vytvoreniu FPGA



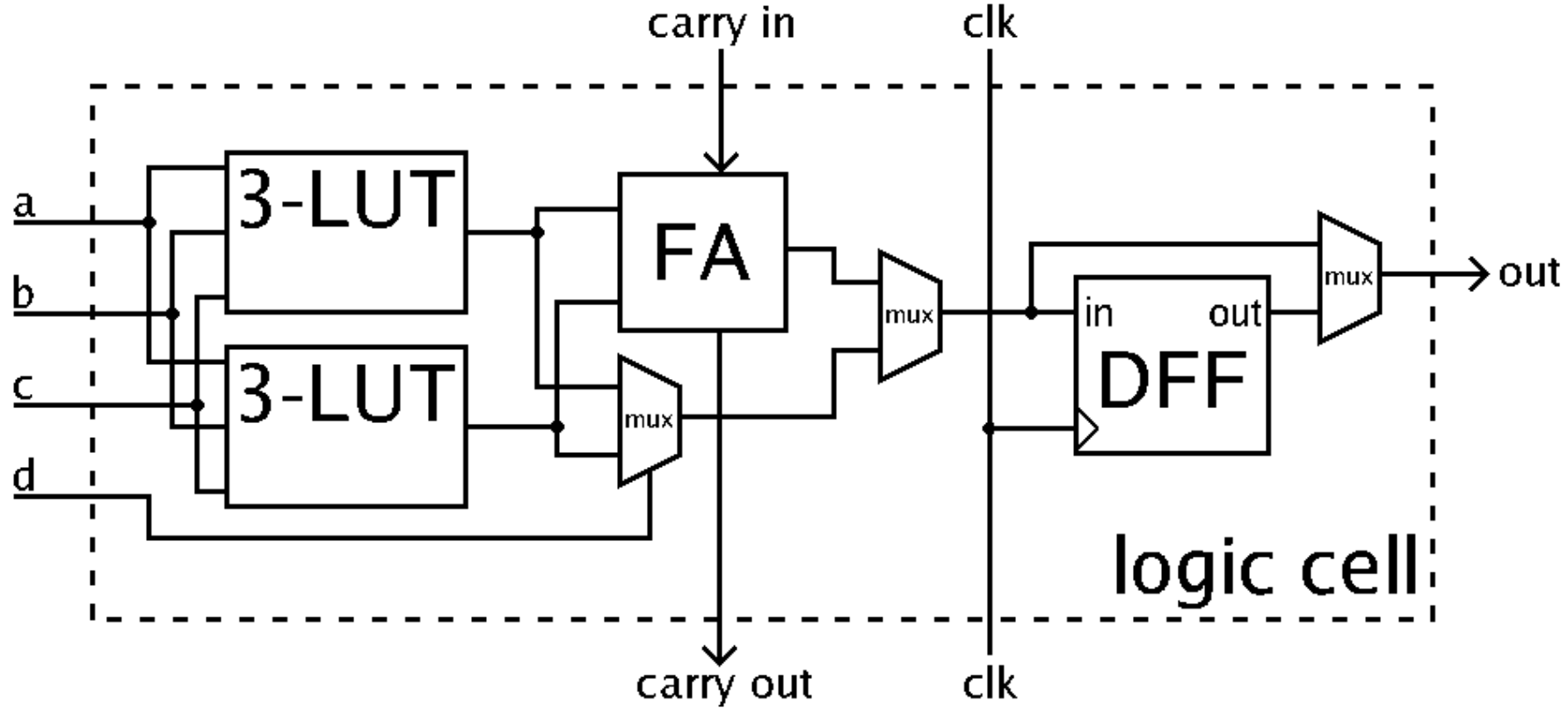
Logické bloky – jednoduché ako makrobunky v SPLD (Fine grain), alebo komplexnejšie (ale < ako makrobunky v CPLD) – Large grain

FPGA



FPGA - Logický Blok

- ▶ LUT - Look-up Table - Implementácia kombinačnej logiky



FPGA - Využitie

- Aerospace and Defense
 - Avionics/DO-254
 - Communications
 - Missiles & Munitions
 - Secure Solutions
 - Space
- Medical Electronics
- ASIC Prototyping
- Audio
 - Connectivity Solutions
 - Portable Electronics
 - Radio
 - Digital Signal Processing (DSP)
- Automotive
 - High Resolution Video
 - Image Processing
 - Vehicle Networking and Connectivity
 - Automotive Infotainment
- Broadcast
 - Real-Time Video Engine
 - EdgeQAM
 - Encoders
 - Displays
 - Switches and Routers
- Consumer Electronics
 - Digital Displays
 - Digital Cameras
 - Multi-function Printers
 - Portable Electronics
 - Set-top Boxes
- Data Center
 - Servers
 - Security
 - HSM ^[32]
 - Routers
 - Switches
 - Gateways
 - Load Balancing

FPGA - Využitie

- High Performance Computing
 - Servers
 - Super Computers
 - SIGINT Systems
 - High-end RADARs
 - High-end Beam Forming Systems
 - Data Mining Systems
- Industrial
 - Industrial Imaging
 - Industrial Networking
 - Motor Control
- Medical
 - Ultrasound
 - CT Scanner
 - MRI
 - X-ray
 - PET
 - Surgical Systems
- Scientific Instruments
 - Lock-in amplifiers
 - Boxcar averagers
 - Phase-locked loops
- Security
 - Industrial Imaging
 - Secure Solutions
 - HSM ^[33]
 - Image Processing
- Video & Image Processing
 - High Resolution Video
 - Video Over IP Gateway
 - Digital Displays
 - Industrial Imaging
- Wired Communications
 - Optical Transport Networks
 - Network Processing
 - Connectivity Interfaces
- Wireless Communications
 - Baseband
 - Connectivity Interfaces
 - Mobile Backhaul
 - Radio

Príklad VHDL kódu

```
-- HA.vhd
library ieee;
use ieee.std_logic_1164.all;

entity HA is
    port(
        a, b : in std_logic;
        s, c : out std_logic
    );
end HA;

architecture struct of HA is
    begin
        s <= a xor b;
        c <= a and b;
    end struct;
```


Príklad VHDL kódu

```
library ieee;
use ieee.std_logic_1164.all;
entity FA is
    port(
        a, b, cin : in std_logic;
        s, cout : out std_logic);
end FA;
architecture struct of FA is

    signal s1, c1, c2 : std_logic;

    component HA is
        port(
            a, b : in std_logic;
            s, c : out std_logic);
    end component;
```

```
begin
    HA1 : HA
        port map(
            a => a,
            b => b,
            c => c1,
            s => s1);
    HA2 : HA
        port map(
            a => s1,
            b => cin,
            c => c2,
            s => s);
    cout <= c1 or c2;
end struct;
```